



明阳半导体

Preliminary

MY9862

内建双锁存显示技术的 16通道高精度小电流LED驱动器

产品说明

MY9862是内建双锁存显示专利技术的16通道高精度恒流LED驱动芯片，可以有效提高传统通用驱动显示屏的刷新率及LED利用率，低灰效果可透过低灰补偿与第一扫偏暗补偿功能达到完善，内建鬼影消除功能搭配系统消影电路，可有效减轻鬼影现象。

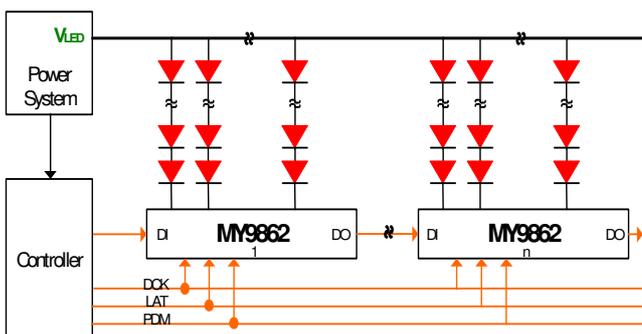
MY9862可在3.3到5.0伏特(±10%)的工作电压下正常操作。芯片提供16个最大承受电压17伏特的漏极开路恒流沉入输出，并可藉由一个外接电阻来设定电流的输出大小及透过电流增益调整功能对恒流输出作线性64阶调整。MY9862使用4线的串行输入接口，使控制器能藉由四个输入(DI、DCK、LAT和PDM)控制恒流输出端口以及利用资料输出(DO)使得多个驱动器能够串连在一起操作。输入端采用Schmitt trigger设计可以有效抑制讯号噪音干扰。内建电源开启重置可避免芯片错误动作。

MY9862简化电路板所需的被动组件而且提供了±3.5%(最大值)的通道间与±3.5%(最大值)芯片间电流输出精度。特性还包括了在输出电压变化下的±0.1%的稳定电流输出能力以及快速电流输出暂态响应。MY9862提供24脚位的SSOP/QFN封装型式以适用于不同应用需求且可以在-40°C到+85°C的外在环境下工作。

应用

- 室内及户外LED显示屏
- 可变资讯看板 (VMS)
- LED点矩阵模块
- 建筑及装饰照明
- LCD显示背光

典型应用图



2014年10月 版本 0.1

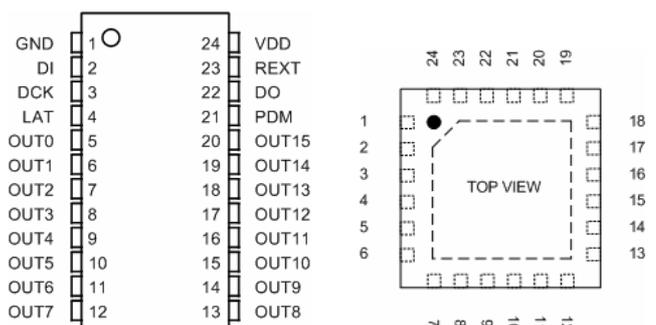
产品特色

- ◆ 3.3~5.0伏特电源电压(±10%)
- ◆ 0.5~30毫安恒流输出(在5伏特操作电压)
- ◆ 0.5~20~毫安恒流输出(在3.3伏特操作电压)
- ◆ 可承受的最大输出电压17伏特
- ◆ ±3.5% (最大值) 通道间直流电流差异值
- ◆ ±3.5% (最大值) 芯片间直流电流差异值
- ◆ 双锁存显示技术 (明阳专利)
- ◆ 比通用基本款芯片有更高的刷新率、LED利用率、灰阶表现、亮度均一性
- ◆ 比传统PWM芯片有更高的刷新率与亮度均一性 (扫描屏应用下)
- ◆ 利用一个外接电阻来设定电流
- ◆ 64阶线性可编程的电流增益功能
- ◆ 快速电流响应
- ◆ 低灰补偿与第一扫偏暗补偿功能
- ◆ 鬼影消除功能(建议搭配系统消影电路)
- ◆ 低拐点电压恒流能力(20mA以下, Vo小于0.4V)
- ◆ 恒流输出管脚静电防护能力大于8000V(HBM)
- ◆ -40°C 到 +85°C 的环境温度操作范围

下单资讯

编号	封装资讯	
MY9862SS	SSOP24-150mil-0.635mm	2500 pcs/Reel
MY9862QF	QFN24-4mmx4mm-0.5mm	3000 pcs/Reel
MY9862QA	QFN24-4mmx4mm-0.5mm	3000 pcs/Reel

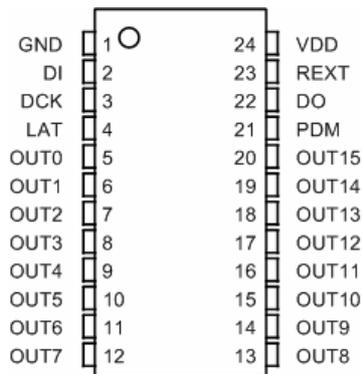
脚位图



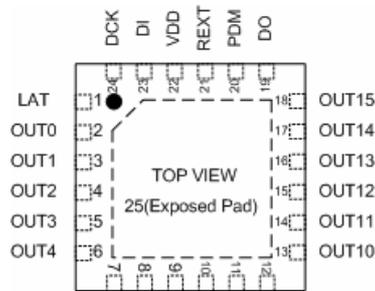
明阳半导体 0

有关报价，交期，和下单资讯，请联络 明阳半导体，电话 +886-3-560-1668，或邮寄至 INFO@MY-Semi.com.tw 或莅临 明阳半导体的官方网站 www.MY-Semi.com.tw

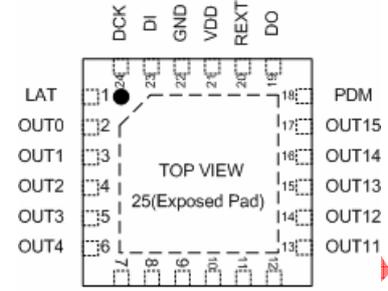
管脚说明



MY9862 SS



MY9862 QF

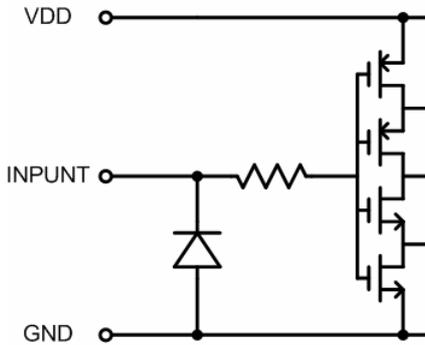


MY9862 QA

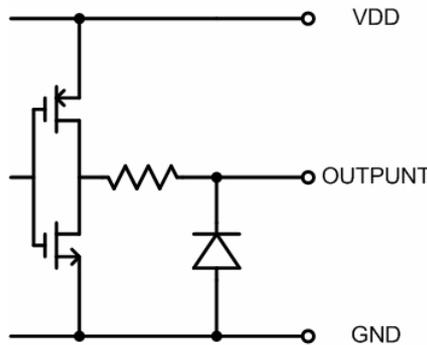
编号			名称	功能说明
SS	QF	QA		
1	10, 25	22, 25	GND	控制逻辑及驱动电流的接地端。
2	23	23	DI	输入至位移寄存器的串行数据输入端。
3	24	24	DCK	资料时钟信号的输入端。
4	1	1	LAT	资料锁存输入端。
5~20	2~9, 11~18	2~17	OUT0~15	恒电流输出端。
21	20	18	PDM	灰阶调变信号输入端。
22	19	19	DO	串行数据输出端，可接至下一个驱动器。
23	21	20	REXT	连接外接电阻的输入端，此外接电阻可设定所有输出通道的输出电流。
24	22	21	VDD	电源供应端。

输入及输出等效电路

1. DCK, DI, LAT, PDM 输入端



2. DO 输出端



最大限定范围 (Ta=25°C, Tj(max) = 150°C)

特性	代表符号	最大限定范围	单位
电源电压	VDD	-0.3 ~ 7.0	V
输入端电压	VIN	0.3 ~ VDD+0.3	V
输出端电流	IOUT	30	mA
输出端耐受电压	VOUT	-0.3 ~ 17	V
资料时钟频率	FDCK	30	MHz
接地端电流	IGND	500	mA
热阻值 (On PCB)	Rth(j-a)	70.5 (SS:SSOP-150mil-0.635mm)	°C/W
		36.9 (QF/QA:QFN24-4mmx4mm)	
IC 工作时的电压		3.3 ~ 5.0 (±10%)	V
IC 工作时的环境温度	Top	-40 ~ 85	°C
IC 储存时的环境温度	Tstg	-55 ~ 150	°C

(1) 操作在这些规定值之上也许会造成元件永久的损伤。在绝对的最大条件之下延长操作期限也许会降低元件的可靠性。这些仅是部分的规定值，并且不支持在规格之外的其他条件的功能操作。

(2) 所有电压值是以接地端做为参考点。

直流特性 (VDD = 5.0 V, Ta = 25°C unless otherwise noted)

特性	代表符号	量测条件	最小值	一般值	最大值	单位
输入端电压 高电平位准	VIH	CMOS 逻辑准位	0.7VDD	—	VDD	V
输入端电压 低电平位准	VIL	CMOS 逻辑准位	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 17 V	—	—	0.1	uA
输出电压 (DO)	VOL	IOL = 1 mA	—	—	0.4	V
	VOH	IOH = 1 mA	VDD-0.4	—	—	
电流偏移量 (通道间) ^{*1}	dIOUT1	VOUT = 1.0 V R _{rext} = 1.3KΩ Gain = 100%	—	±1.0	±3.0	%
电流偏移量 (芯片间) ^{*2}	dIOUT2		—	±1.0	±3.0	%
电流偏移量 (通道间) ^{*1}	dIOUT3	VOUT = 1.0 V R _{rext} = 13KΩ Gain = 100%	—	±1.5	±3.5	%
电流偏移量 (芯片间) ^{*2}	dIOUT4		—	±1.5	±3.5	%
电流偏移量 vs. 输出电压 ^{*3}	% / VOUT	R _{rext} = 1.3KΩ VOUT = 1 V ~ 3 V	—	±0.1	—	% / V
电流偏移量 vs. 电源电压 ^{*4}	% / VDD	R _{rext} = 1.3KΩ VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流 ^{*5}	I _{DD2(off)}	输入信号固定 R _{rext} = 13KΩ 所有输出关闭	—	1.45	—	mA
	I _{DD3(on)}	输入信号固定 R _{rext} = 13KΩ 所有输出打开	—	1.55	—	
	I _{DD4(off)}	输入信号固定 R _{rext} = 1.3KΩ 所有输出关闭	—	4.75	—	
	I _{DD5(on)}	输入信号固定 R _{rext} = 1.3KΩ 所有输出打开	—	4.85	—	

^{*1} 通道间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\frac{I_{out_n}}{(I_{out_0} + I_{out_1} + \dots + I_{out_{15}})} - 1 \right] * 100\%$$

^{*2} 芯片间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\left(\frac{I_{out_0} + I_{out_1} + \dots + I_{out_{15}}}{16} \right) - (Ideal\ Output\ Current) \right] * 100\%$$

^{*3} 输出电流对输出电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{out_n}=3V) - I_{out_n}(@V_{out_n}=1V)}{I_{out_n}(@V_{out_n}=3V)} \right] * \frac{100\%}{3V - 1V}$$

^{*4} 输出电流对电源电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{DD}=5.5V) - I_{out_n}(@V_{DD}=3V)}{I_{out_n}(@V_{DD}=3V)} \right] * \frac{100\%}{5.5V - 3V}$$

^{*5} 输出输入除外.

直流特性 (VDD = 3.3 V, Ta = 25°C unless otherwise noted)

特性	代表符号	量测条件	最小值	一般值	最大值	单位
输入端电压 高电平位准	VIH	CMOS 逻辑位准	0.7VDD	—	VDD	V
输入端电压 低电平位准	VIL	CMOS 逻辑位准	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 17 V	—	—	0.1	uA
输出电压 (DO)	VOL	IOL = 1 mA	—	—	0.4	V
	VOH	IOH = 1 mA	VDD-0.4	—	—	
电流偏移量 (通道间) ^{*1}	dIOUT1	VOUT = 1.0 V Rrxt = 1.3KΩ Gain = 100%	—	±1.0	±3.0	%
电流偏移量 (芯片间) ^{*2}	dIOUT2		—	±1.0	±3.0	%
电流偏移量 (通道间) ^{*1}	dIOUT3	VOUT = 1.0 V Rrxt = 13KΩ Gain = 100%	—	±1.5	±3.5	%
电流偏移量 (芯片间) ^{*2}	dIOUT4		—	±1.5	±3.5	%
电流偏移量 vs. 输出电压 ^{*3}	% / VOUT	Rrxt = 1.3KΩ VOUT = 1 V ~ 3 V	—	±0.1	—	% / V
电流偏移量 vs. 电源电压 ^{*4}	% / VDD	Rrxt = 1.3KΩ VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流 ^{*5}	I _{DD2(off)}	输入信号固定 Rrxt = 13KΩ 所有输出关闭	—	1.35	—	mA
	I _{DD3(on)}	输入信号固定 Rrxt = 13KΩ 所有输出打开	—	1.45	—	
	I _{DD4(off)}	输入信号固定 Rrxt = 1.3KΩ 所有输出关闭	—	4.65	—	
	I _{DD5(on)}	输入信号固定 Rrxt = 1.3KΩ 所有输出打开	—	4.75	—	

^{*1} 通道间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\frac{I_{out_n}}{(I_{out_0} + I_{out_1} + \dots + I_{out_{15}})} - 1 \right] * 100\%$$

^{*2} 芯片间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\left(\frac{I_{out_0} + I_{out_1} + \dots + I_{out_{15}}}{16} \right) - (Ideal\ Output\ Current) \right] * 100\%$$

^{*3} 输出电流对输出电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{out_n} = 3V) - I_{out_n}(@V_{out_n} = 1V)}{I_{out_n}(@V_{out_n} = 3V)} \right] * \frac{100\%}{3V - 1V}$$

^{*4} 输出电流对电源电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{DD} = 5.5V) - I_{out_n}(@V_{DD} = 3V)}{I_{out_n}(@V_{DD} = 3V)} \right] * \frac{100\%}{5.5V - 3V}$$

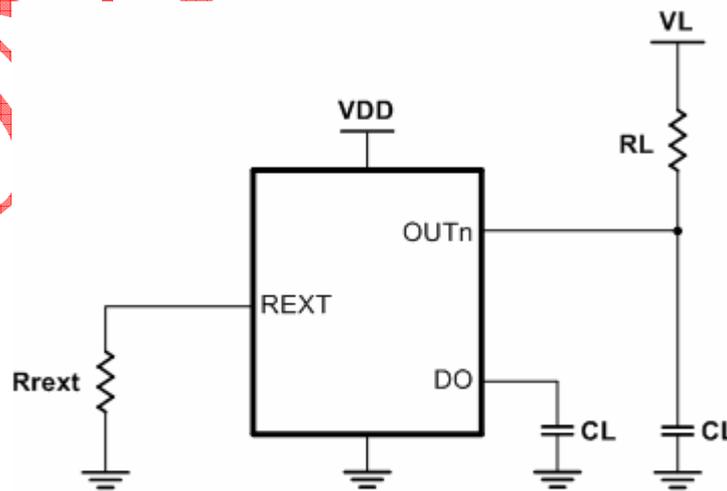
^{*5} 输出除外

动态特性 (VDD = 5.0V, Ta = 25°C unless otherwise noted)

特性		代表符号	量测条件	最小值	一般值	最大值	单位
延迟时间 (‘低’ to ‘高’)	PDM-to-OUT0	tpLH1	VIH = VDD VIL = GND R _{ext} = 1.3KΩ VL = 5.0 V RL = 240 Ω CL = 13 pF	—	35	—	ns
	DCK-DO	tpLH3		—	18	—	
延迟时间 (‘高’ to ‘低’)	PDM-to-OUT0	tpHL1		—	35	—	
	DCK-DO	tpHL3		—	18	—	
脉波宽度	PDM	t _{W(PDM)}		30	—	—	
	LAT	t _{W(LAT)}		20	—	—	
	DCK	t _{W(DCK)}		15	—	—	
建立时间	LAT	t _{SU(LAT)}		8	—	—	
	DI	t _{SU(DI)}		3	—	—	
保持时间	LAT	t _{H(LAT)}		50	—	—	
	DI	t _{H(DI)}		4	—	—	
DO 的爬升时间		t _{r(DO)}		—	15	—	
DO 的下降时间		t _{f(DO)}		—	15	—	
输出通道电压爬升时间(电流关闭)		t _{or}		—	15	—	
输出通道电压下降时间(电流开启)		t _{of}	—	15	—		

动态特性 (VDD = 3.3V, Ta = 25°C unless otherwise noted)

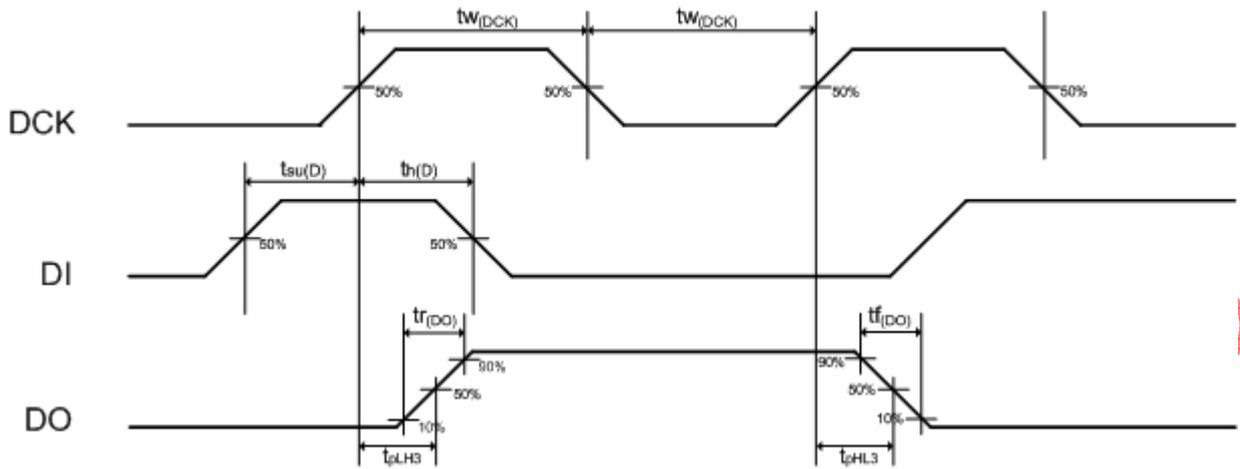
特性		代表符号	量测条件	最小值	一般值	最大值	单位	
延迟时间 (‘低’ to ‘高’)	PDM-to-OUT0	tpLH1	VIH = VDD VIL = GND R _{rext} = 1.3KΩ VL = 5.0 V RL = 240 Ω CL = 13 pF	—	50	—	ns	
	DCK-to-DO	tpLH3		—	30	—		
延迟时间 (‘高’ to ‘低’)	PDM-to-OUT0	tpHL1		—	50	—		
	DCK-to-DO	tpHL3		—	30	—		
脉波宽度	PDM	t _{w(PDM)}		40	—	—		
	LAT	t _{w(LAT)}		20	—	—		
	DCK	t _{w(DCK)}		15	—	—		
建立时间	LAT	t _{su(LAT)}		8	—	—		
	DI	t _{su(D)}		3	—	—		
保持时间	LAT	t _{h(LAT)}		50	—	—		
	DI	t _{h(D)}		4	—	—		
DO 的爬升时间		t _{r(DO)}		—	19	—		—
DO 的下降时间		t _{f(DO)}		—	19	—		—
输出通道电压爬升时间(电流关闭)		t _{or}		—	15	—		—
输出通道电压下降时间(电流开启)		t _{of}	—	15	—	—		



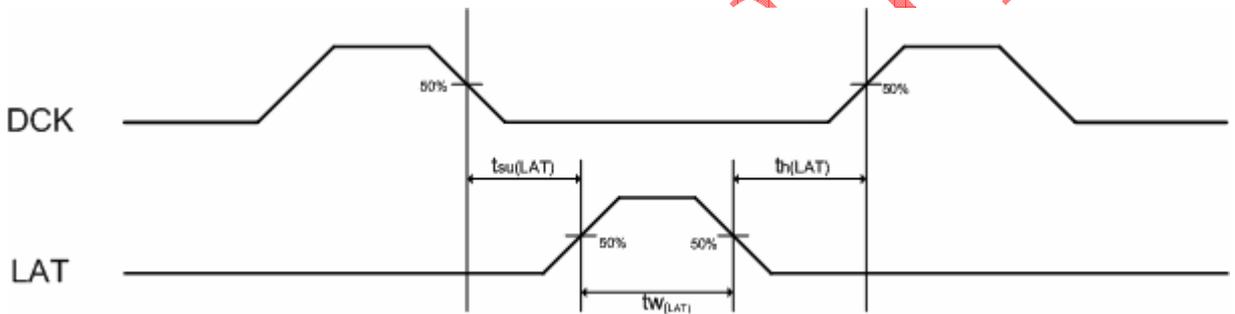
动态特性测试电路

时序图

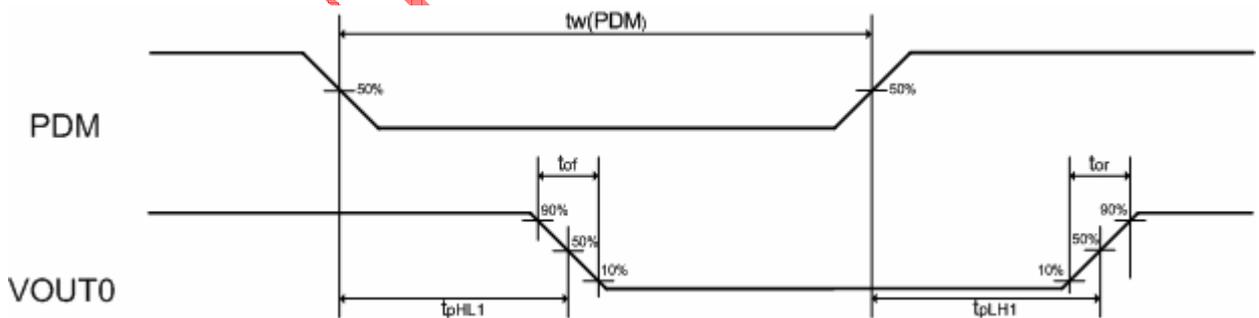
1. DCK-DI, DO



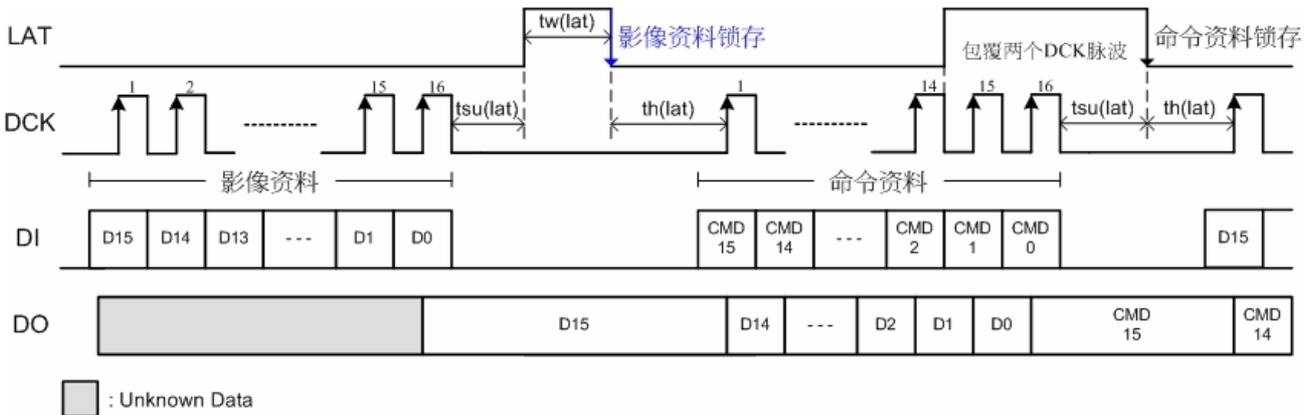
2. DCK-LAT



3. PDM-VOUT0

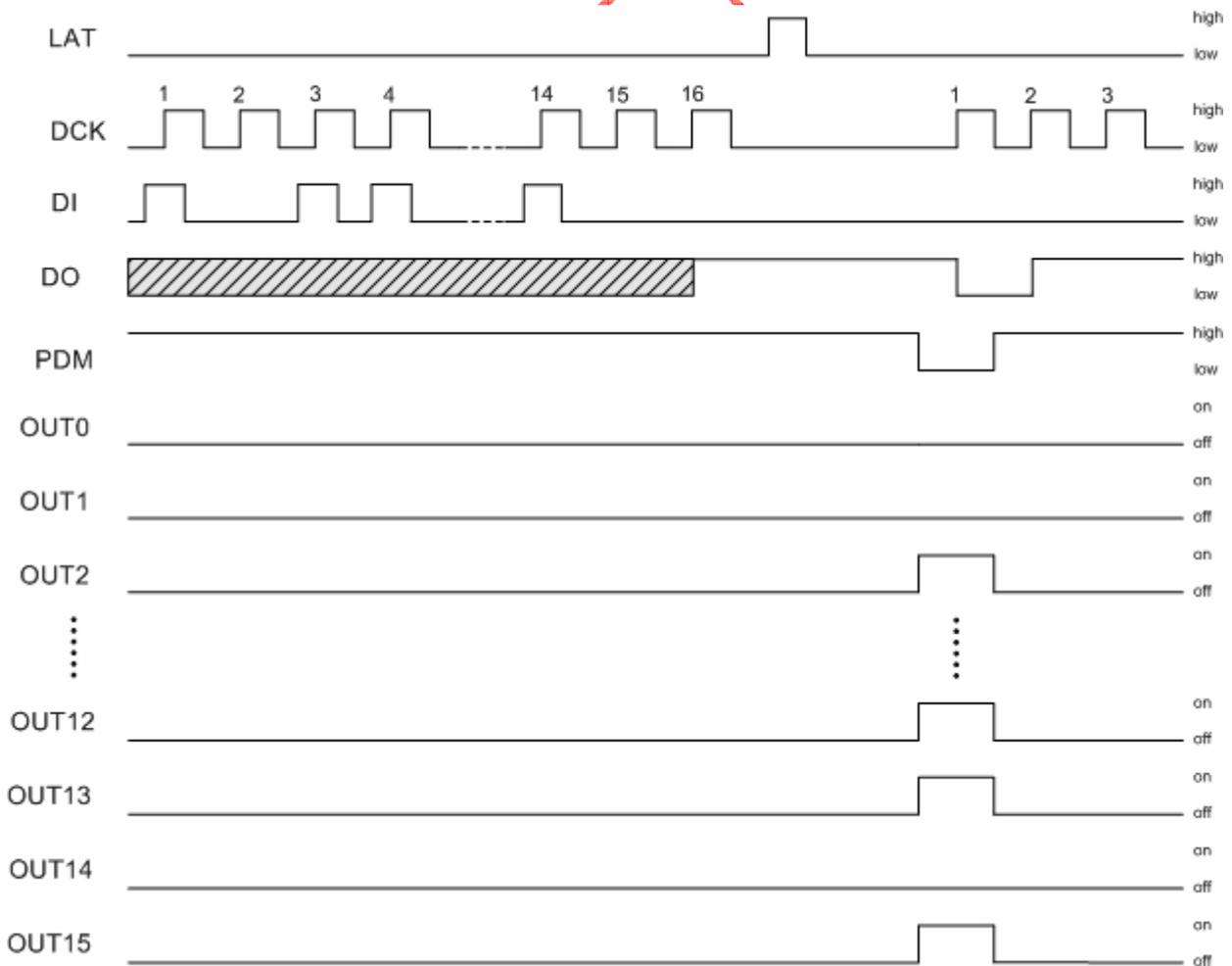


影像资料锁存

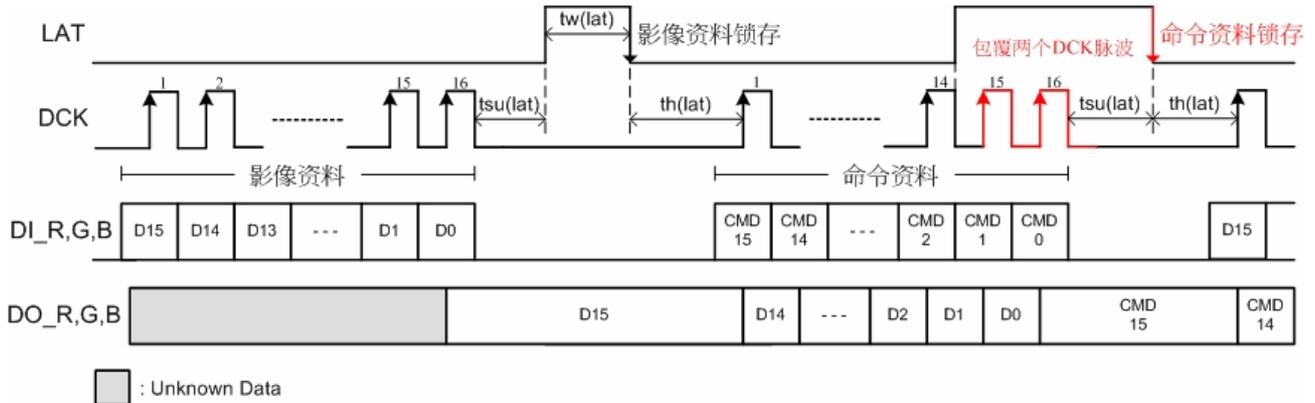


要实施影像资料锁存时，设定 LAT 为高电平并且不包覆任何 DCK 脉波，影像移位寄存器中的资料将在 LAT 的下降沿被锁存，影像资料锁存后需等待 PDM 的下降沿，影像资料才会更新至输出端，另外串行资料将在 DCK 的上升缘时于 DO 脚位同步输出。

(相关时序规范详见动态特性)



命令资料锁存

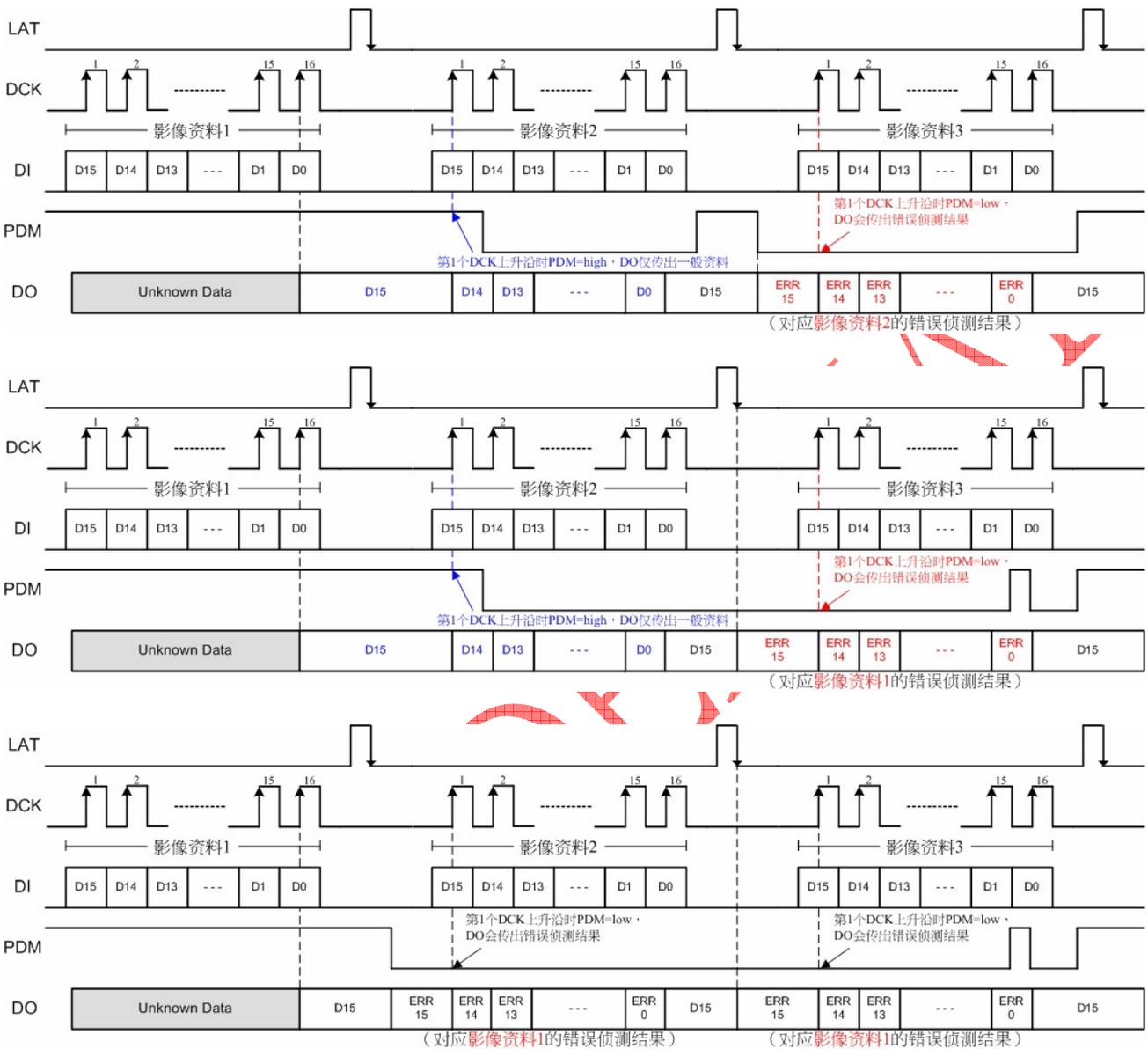


要实施命令资料锁存时，设定 LAT 为高电平并覆盖两个 DCK 脉波（两个 DCK 脉波是用来传送命令资料的最后两个），命令移位寄存器中的命令资料将在 LAT 的下降缘时被锁存，此时影像移位寄存器中的影像资料不会被锁存，另外串行资料将在 DCK 的上升缘时于 DO 脚位同步输出。

16-bit 命令资料描述 (CMD[15:0])

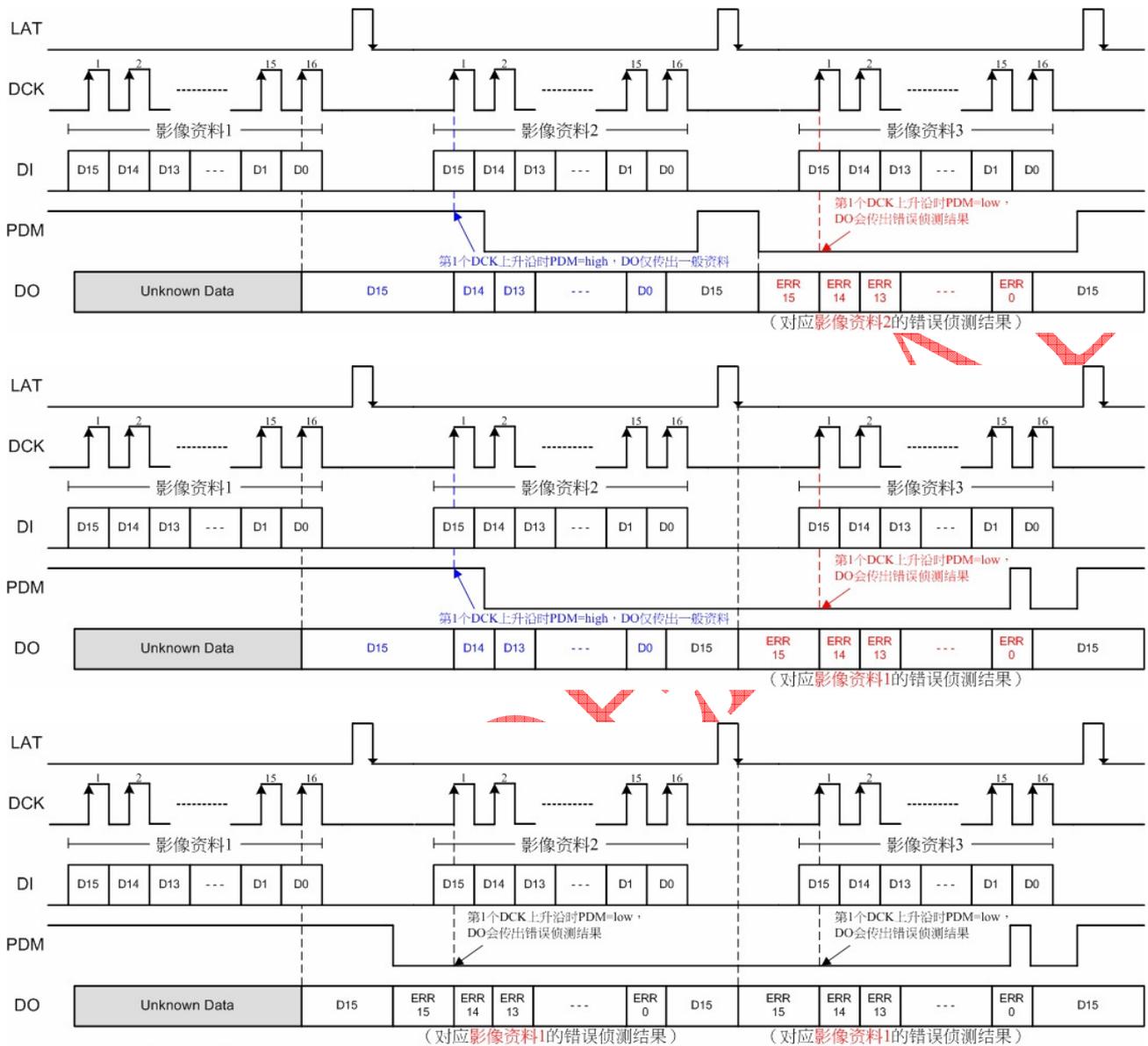
命令位	初始值	设定值	功能	说明
CMD[15]	1'b0	1'b0	大电流低灰补偿 ($R_{ext} < 4.3K\Omega$)	大小电流低灰补偿选择 (RGB 分开设定)
		1'b1	小电流低灰补偿 ($R_{ext} \geq 4.3K\Omega$)	
CMD[14:12]	3'b000	3'b000 ~ 3'b111	补偿 0 ~ 补偿 7	低灰补偿选择 (RGB 分开设定)
CMD[11:9]	3'b000	3'b000 ~ 3'b111	第一扫补偿 0 ~ 第一扫补偿 7	第一扫偏暗补偿 (RGB 分开设定)
CMD[8]	1'b0	1'b0	LED 开路侦测	LED 错误侦测
		1'b1	LED 短路侦测	
CMD[7:6]	2'b00	2'b00	鬼影消除关闭	鬼影消除设定
		2'b01	鬼影消除 1	
		2'b10	鬼影消除 2	
		2'b11	鬼影消除 3	
CMD[5:0]	6'b111111	6b'000000 ~ 6'b111111	电流增益调整 GCC[5:0]	GCC[5:0] 6 位线性整体电流增益调整 (设定 64 阶电流增益) (RGB 分开设定)

即时性 LED 开路的错误侦测 (CMD[8]=0)



当 CMD[8]=0 时，芯片在每个影像锁存脉波后会执行即时性 LED 开路的错误侦测，错误侦测的结果会由后续的 DCK 脉波的上升沿藉由 DO 传送出来，其中在后续第一个 DCK 脉波的上升沿时，PDM 讯号需维持低电平才能正确传送侦测结果，否则 DO 仅会传送出一般资料。当通道影像资料为“1”时，若此通道的电压高于 0.3 伏特表示 LED 没有开路异常，错误侦测的结果(ERR)显示为“1”。若电压低于 0.3 伏特表示 LED 开路，则错误侦测的结果(ERR)显示为“0”。当通道影像资料为“0”时，此通道不做侦测，侦测结果显示为“1”。依此设计客户仅需计数错误侦测结果为“0”的部分，即可得知 LED 开路的位置，不需再比对原始影像资料。(ERR=0：表示“LED 开路”；ERR=1：表示“LED 正常”或“没侦测”)

即时性 LED 短路的错误侦测 (CMD[8]=1)



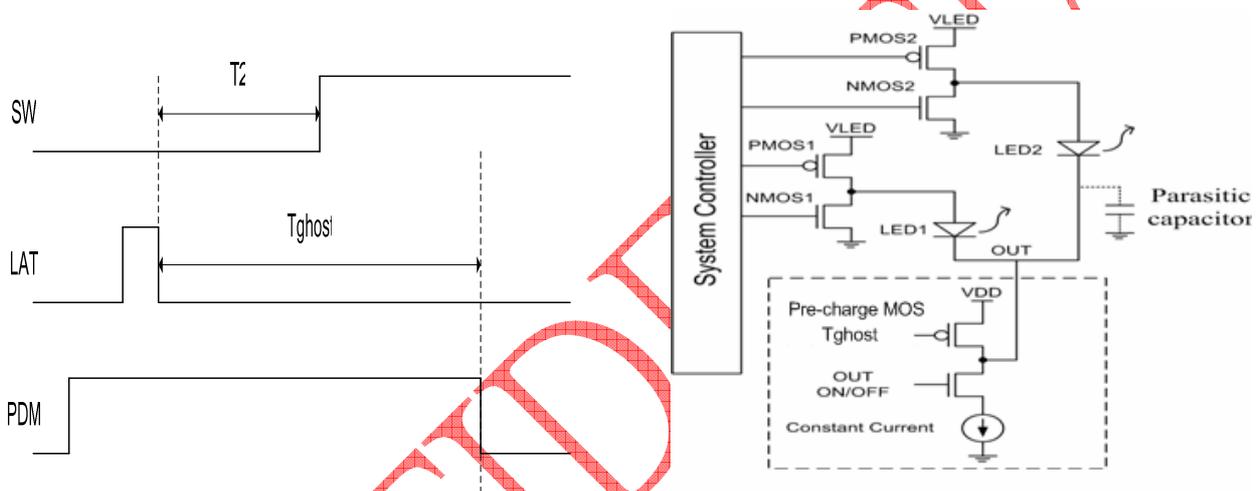
当 CMD[8]=1 时，芯片在每个影像锁存脉波后会执行即时性 LED 短路的错误侦测，错误侦测的结果会由后续的 DCK 脉波的上升沿藉由 DO 传送出来，其中在后续第一个 DCK 脉波的上升沿时，PDM 讯号需维持低电平才能正确传送侦测结果，否则 DO 仅会传送出一般资料。当通道影像资料为“1”时，且此通道的电压低于 $0.67 \times V_{DD}$ 表示 LED 没有短路异常，错误侦测的结果(ERR)显示为“1”。若电压高于 $0.67 \times V_{DD}$ 表示 LED 短路，则错误侦测的结果(ERR)显示为“0”。当通道影像资料为“0”时，此通道不做侦测，侦测结果显示为“1”。依此设计客户仅需计数错误侦测结果为“0”的部分，即可得知 LED 短路的位置，不需再比对原始影像资料。(ERR=0：表示“LED 短路”；ERR=1：表示“LED 正常”或“没侦测”)

鬼影消除技术

MY9862 内置下鬼影消影功能，搭配系统硬体电路则可以有效消除上行与下行鬼影，芯片消影时间(Tghost)之定义如下图所示，仅在 PDM 为高位准时由栓锁讯号(LAT)下降沿到致能讯号(ENB)下降沿间拉高输出管脚的电压以进行消影，此设计可避免 LED 长时间逆偏压而损坏。

为达最佳的消影功能，相关时序设定如下：

1. 栓锁讯号(LAT)上升沿到 PDM 讯号下降沿之消影时间 Tghost 建议大于 2000ns
2. 换行讯号 SW 切换沿需设定在栓锁讯号 LAT 下降沿到 PDM 讯号下降沿之间，建议 $T2 = Tghost / 2$



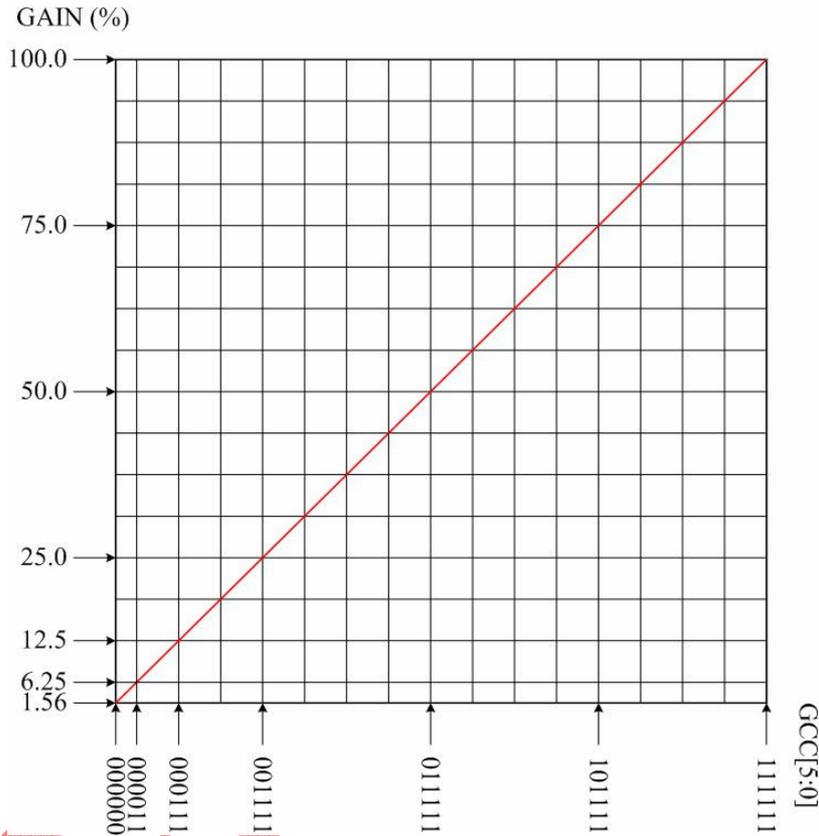
双锁存显示技术

透过明阳半导体的双锁存显示专利技术，使 PDM 信号可跨过 LAT 锁存信号，可有效提高 LED 利用率，优化显示屏在低灰阶下的显示效果及均一性；并且显示屏在相同亮度设计下，可以降低驱动芯片的峰值电流，有效提升显示屏的 EMC 等级。

整体电流增益调整 (设定 CMD[5:0])

MY9862 提供 6 位线性整体电流增益调整(GCC), 利用 GCC[5:0](CMD[5:0])可设定 64 阶电流增益, 下面的公式可用来计算电流增益值(GAIN):

$$\text{GAIN} = (\text{GCC}[5:0] + 1) / 64 \quad (1.56\% \sim 100\%)$$



调整输出电流：

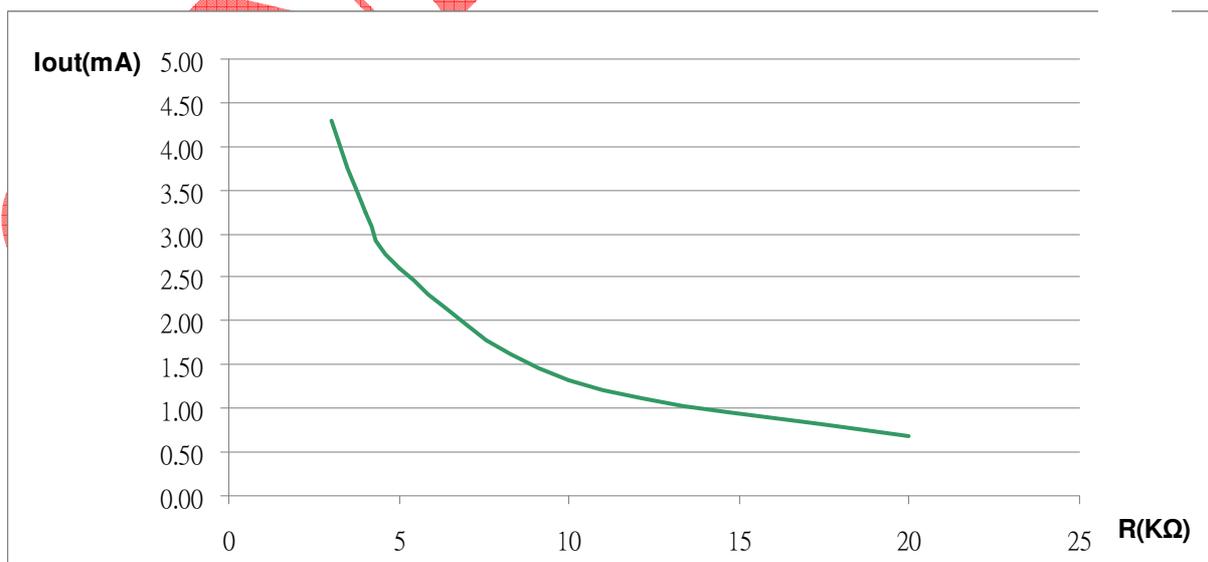
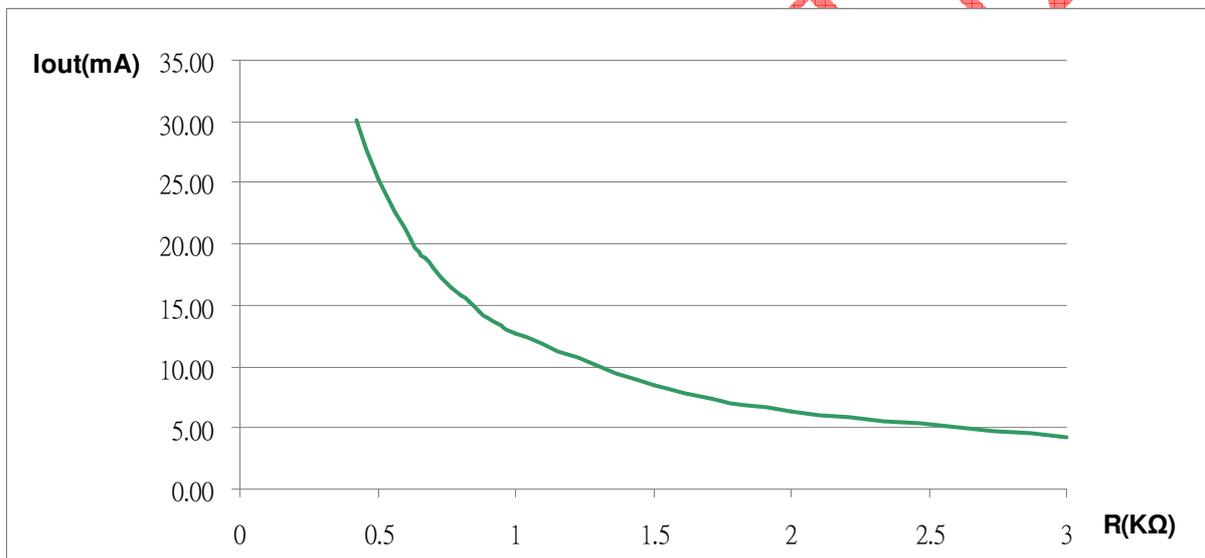
恒流的大小是被跨接于 REXT 和地的外接电阻所决定。电流值的大小可以用以下的公式做计算：

$$I_{out}(mA) = \frac{13}{R_{ext}} \times Gain$$

R_{ext} 是一跨接于 REXT 和 GND 之间的电阻，Gain 是整体电流增益调整参数(见第 13 页说明)。I_{out} 小于 1mA 的应用，建议使用 R_{ext}=13K 并调整电流增益值以达到所需电流值
例如：

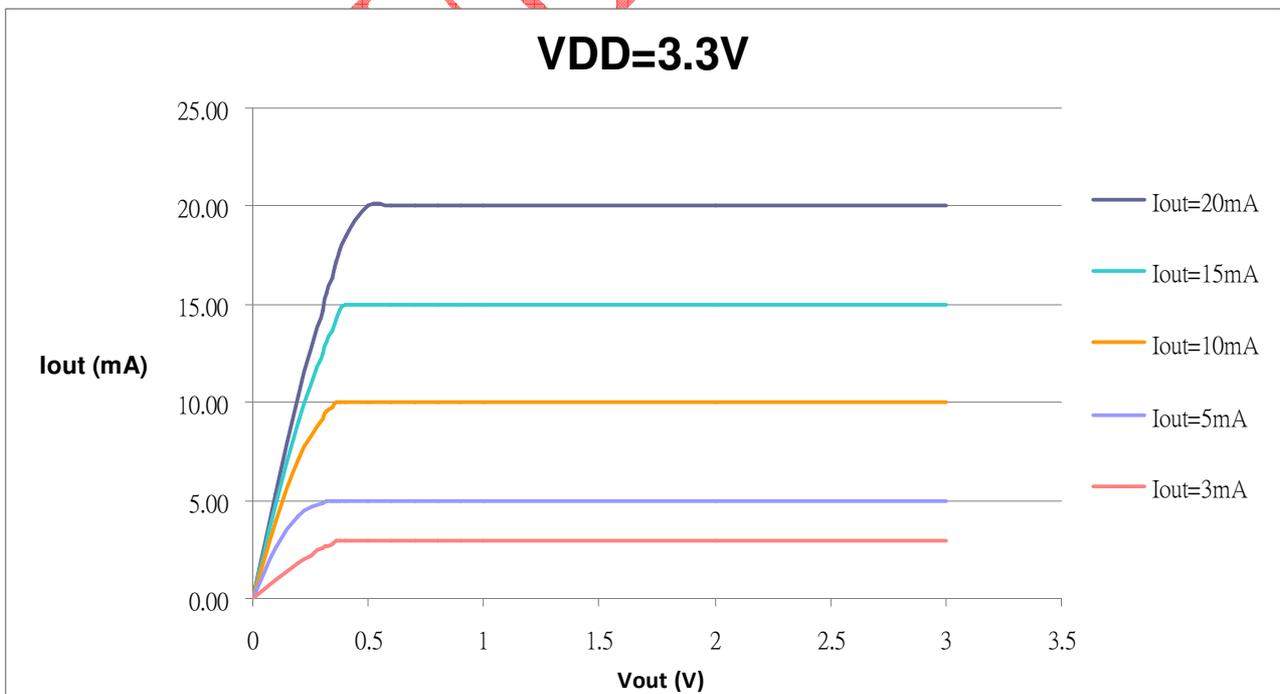
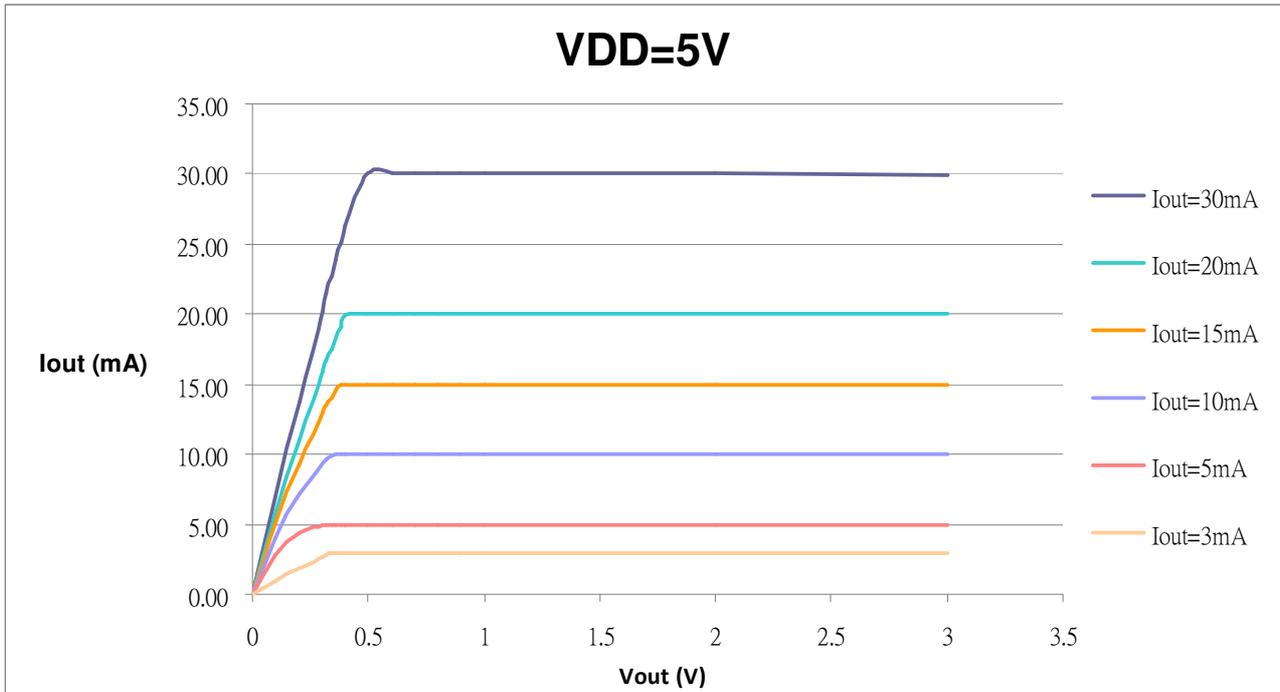
当 R_{ext}=1.3KΩ 且 Gain=100%时，I_{out} 约为 10mA

当 R_{ext}=13KΩ 且 Gain=50%时，I_{out} 约为 0.5mA



恒流输出特性：

穩態输出电流几乎不会受到输出电压的影响而有所变动，因此 MY9862 在不同的 LED 顺向电压下仍能够提供精准的恆流输出，下图描述了如何设计适当的输出电压以达到最佳的恆流特性。



封装散热功率

当 16 个输出被打开时，芯片的实际消耗功率是以下的公式决定：

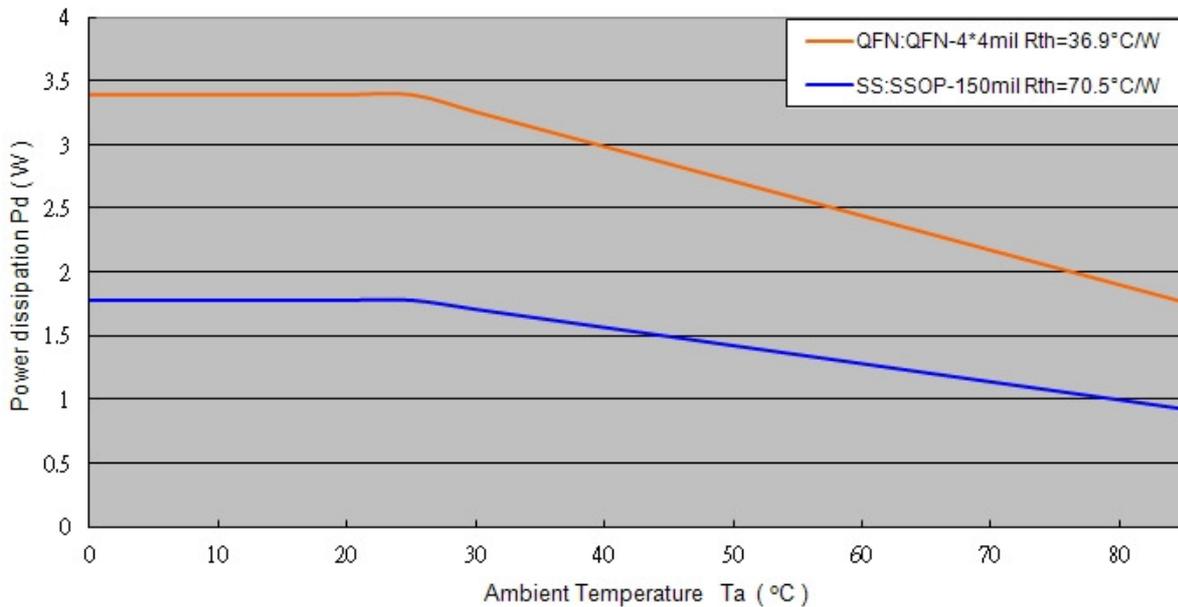
$$PD (practical) = V_{DD} \times I_{DD} + V_{out(0)} \times I_{out(0)} \times Duty_{(0)} + \dots + V_{out(N)} \times I_{out(N)} \times Duty_{(N)}, \text{ where } N=1 \text{ to } 15$$

为了在安全的条件下操作，芯片的功率消耗必须小于最大容许功率，而这功率是由环境温度以及封装型式所决定，最大功率消耗的公式如下：

$$PD (max) = \frac{T_j(max)(\text{C}) - T_a(\text{C})}{R_{th(j-a)}(\text{C/Watt})}$$

PD(最大值)会随着环境温度上升而下降，因此需要根据封装型式和环境温度小心的设计操作条件，下面的图表描述了不同封装在最大消耗功率和环境温度的关系：

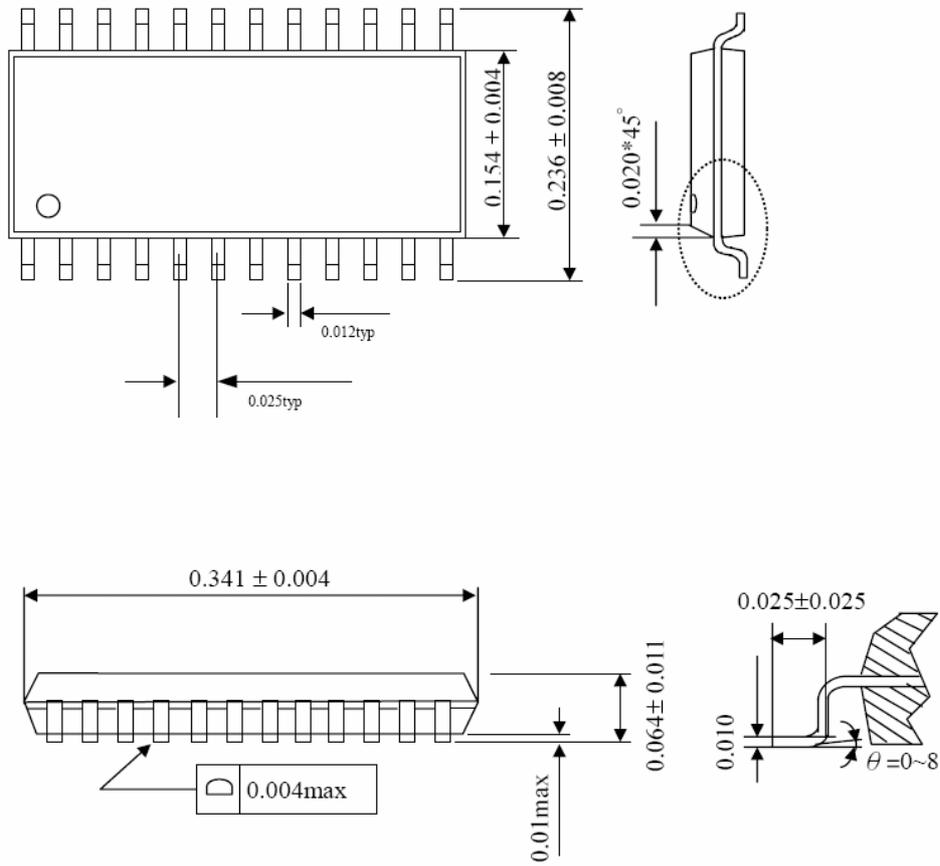
Maximum Power Dissipation v.s. Ambient Temperature



封装示意图

SSOP-150mil-0.635mm

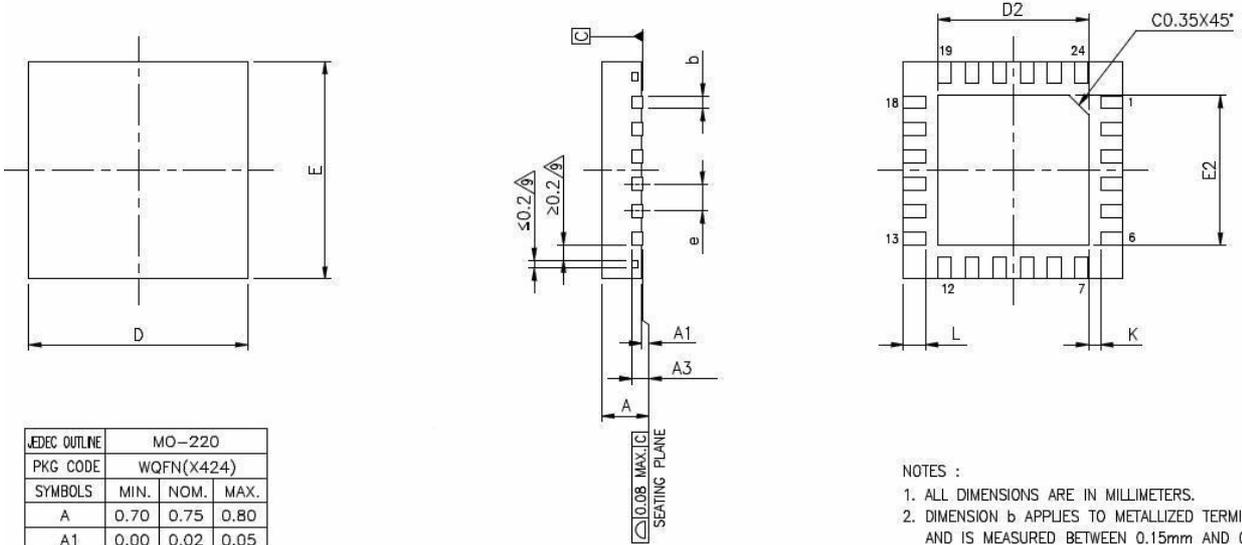
单位: inch



CONF

封装示意图

QFN24-4mm x 4mm



JEDEC OUTLINE	MO-220		
PKG CODE	WQFN(X424)		
SYMBOLS	MIN.	NOM.	MAX.
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
K	0.20	-	-

- NOTES :
1. ALL DIMENSIONS ARE IN MILLIMETERS.
 2. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION b SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
 3. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

E2			D2			L			LEAD FINISH		JEDEC CODE
MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	Pure Tin	PPF	
2.40	2.50	2.55	2.40	2.50	2.55	0.35	0.40	0.45	V	X	W(V)GGD-8

COMING

这里列出的产品是设计用于普通电子产品的应用，例如电器、可视化设备、通信产品等等。因此，建议这些产品不应该用于医疗设施、手术设备、航天器、核电控制系统、灾难/犯罪预防设备等类似的设备。这些产品的错误使用可能直接或间接导致威胁到人们的生命或者导致伤害或财产损失。

明阳半导体将不负任何因这些产品的错误使用而导致的责任。任何人若购买了这里所描述的任何产品，并含有上述意图或错误使用，应自负全责与赔偿。明阳半导体与它的通路商及所有管理者和员工必捍卫己方抵御所有索赔、诉讼，及所有因上述意图或操作而衍生的损坏、成本、及费用。

CONFIDENTIAL